

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2002-333866  
(P2002-333866A)

(43) 公開日 平成14年11月22日 (2002. 11. 22)

| (51) Int.Cl. <sup>7</sup> | 識別記号  | F I           | デモコード* (参考)       |
|---------------------------|-------|---------------|-------------------|
| G 0 9 G 3/36              |       | C 0 9 G 3/36  | 2 H 0 9 3         |
| G 0 2 F 1/133             | 5 5 0 | C 0 2 F 1/133 | 5 5 0 5 C 0 0 6   |
| G 0 9 G 3/20              | 6 1 1 | C 0 9 G 3/20  | 6 1 1 A 5 C 0 8 0 |
|                           | 6 2 1 |               | 6 1 1 F 5 J 0 5 5 |
|                           |       |               | 6 2 1 M           |

審査請求 有 請求項の数10 O L (全 18 頁) 最終頁に続く

(21) 出願番号 特願2001-138043(P2001-138043)

(22) 出願日 平成13年5月9日(2001.5.9)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 松本 昭一郎

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(74) 代理人 100104433

弁理士 宮園 博一

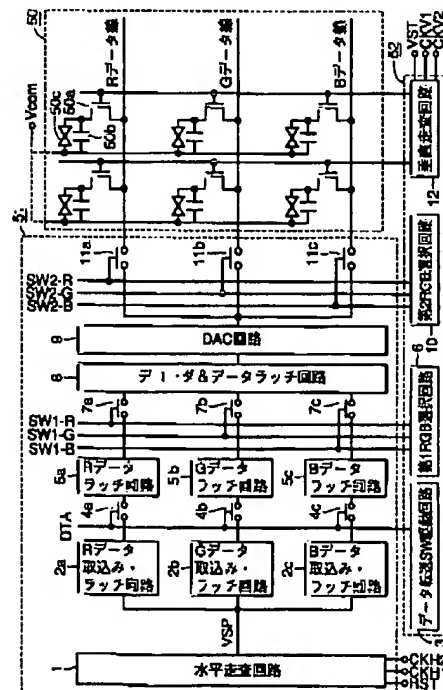
最終頁に続く

(54) 【発明の名称】 駆動回路および表示装置

(57) 【要約】

【課題】素子数を削減することによって、低消費電流化と装置コストの低減とレイアウト面積の低減とを達成することが可能な駆動回路を提供する。

【解決手段】この駆動回路は、デジタルデータを取り込むデータ取り込み部(1、2a~2c、3、4a~4c、5a~5c、6、7a~7c)と、取り込んだデジタルデータをデジタル/アナログ変換してアナログデータを出力するデジタル/アナログ変換部(8、9)と、デジタル/アナログ変換部から出力されるアナログデータをデータ線に書き込むためのデータ書き込み部(10、11a~11c)とを備えている。そして、デジタル/アナログ変換部を構成するデコード&データラッチ回路8およびDAC回路9が、RGBデータに対して共用化されている。



## 【特許請求の範囲】

【請求項1】 デジタルデータを取り込むデータ取り込み部と、  
前記取り込んだデジタルデータをデジタル／アナログ変換してアナログデータを出力するデジタル／アナログ変換部と、

前記デジタル／アナログ変換部から出力されるアナログデータをデータ線に書き込むためのデータ書き込み部とを備え、

前記データ取り込み部および前記デジタル／アナログ変換部のうちの少なくとも一部は、複数のデジタルデータに対して共用化されている、駆動回路。

【請求項2】 前記データ取り込み部は、  
前記デジタルデータを取り込むためのパルスを発生させる取り込みパルス発生回路と、  
前記取り込みパルス発生回路により発生されたパルスに同期して、前記デジタルデータを取り込むためのデータ取り込み回路とを含み、  
前記デジタル／アナログ変換部は、  
前記取り込んだデジタルデータを解読するためのデコーダ回路と、  
前記デコーダ回路によって解読されたデータに相当するアナログデータを出力するデジタル／アナログ変換回路とを含み、  
前記デコーダ回路および前記デジタル／アナログ変換回路は、前記複数種類のデジタルデータに対して共用化されている、請求項1に記載の駆動回路。

【請求項3】 さらに、前記データ取り込み回路も前記複数種類のデジタルデータに対して共用化されている、請求項2に記載の駆動回路。

【請求項4】 前記データ取り込み部は、さらに、  
前記データ取り込み回路により取り込んだデジタルデータを保持するための第1ラッチ回路と、  
前記第1ラッチ回路により保持されたデジタルデータを転送するためのスイッチ回路と、  
前記スイッチ回路から転送されたデジタルデータを保持するための第2ラッチ回路と、  
前記第2ラッチ回路により保持されたデジタルデータを、順次前記デコーダ回路に転送するための第1スイッチ選択回路とを含み、  
前記データ書き込み部は、  
前記デジタル／アナログ変換回路から出力されるアナログデータを、順次前記データ線に転送するための第2スイッチ選択回路を含み、  
前記第1スイッチ選択回路および前記第2スイッチ選択回路においてデータを順次転送する際に、各データの転送タイミングをずらして転送する、請求項2または3に記載の駆動回路。

【請求項5】 前記第1スイッチ選択回路および前記第2スイッチ選択回路においてデータを順次転送する際

に、前記各データを時分割で転送する、請求項4に記載の駆動回路。

【請求項6】 前記取り込みパルス発生回路は、所定の振幅のクロック信号を前記所定の振幅とは異なる振幅にレベル変換するための第1レベル変換回路を含む、請求項2～5のいずれか1項に記載の駆動回路。

【請求項7】 前記データ取り込み回路は、所定の振幅のデジタルデータ信号を前記所定の振幅とは異なる振幅にレベル変換するための第2レベル変換回路を含む、請求項2～6のいずれか1項に記載の駆動回路。

【請求項8】 前記デジタル／アナログ変換部は、アナログバッファ回路を含む、請求項2～7のいずれか1項に記載の駆動回路。

【請求項9】 デジタルビデオデータを取り込むためのパルスを発生させる取り込みパルス発生回路と、  
前記取り込みパルス発生回路から出力されるパルスに同期して、前記デジタルビデオデータを取り込むデータ取り込み回路と、  
前記取り込んだデジタルビデオデータを保持するための第1ラッチ回路と、  
前記第1ラッチ回路により保持されたデジタルビデオデータを転送するためのスイッチ回路と、  
前記スイッチ回路から転送されたデジタルビデオデータを保持するための第2ラッチ回路と、  
前記第2ラッチ回路により保持されたデジタルビデオデータを順次転送するための第1スイッチ選択回路と、  
前記第2スイッチ選択回路から転送されたデジタルビデオデータが入力されるとともに、前記入力されたデジタルビデオデータを解読するためのデコーダ回路と、  
前記デコーダ回路によって解読されたデータに相当するアナログビデオデータを出力するデジタル／アナログ変換回路と、  
前記デジタル／アナログ変換回路から出力されるアナログビデオデータを順次転送する第2スイッチ選択回路と、

前記デジタル／アナログ変換回路から出力されるアナログビデオデータをデータ線に書き込むためのデータ書き込み部とを備え、  
前記データ取り込み回路、前記デコーダ回路および前記デジタル／アナログ変換回路のうちの少なくともいずれか1つが、赤、緑および青色のビデオデータに対して共用化されている、駆動回路。

【請求項10】 請求項1～9のいずれか1項に記載の駆動回路と、

前記データ線に繋がる画素部とを備えた、表示装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、駆動回路および表示装置に関し、特に、デジタルデータをデジタル／アナログ変換してアナログデータを出力するデジタル／ア

ナログ変換部を有する駆動回路および表示装置に関する。

【0002】

【従来の技術】従来、デジタルデータをデジタル／アナログ変換してアナログデータを出力するデジタル／アナログ変換部を備えた駆動回路が知られている。このような駆動回路は、たとえば、デジタルビデオ信号をデジタル／アナログ変換してデータ線にアナログビデオ信号を書き込むために、液晶表示装置（LCD（Liquid Crystal Display））や有機EL（Electro Luminescence）表示装置などの表示装置に用いられる。本願明細書では、上記のような駆動回路を含む表示装置として、LCDを例にとって説明する。

【0003】近年、ポリシリコンTFT（Thin Film Transistor）を用いた小型LCDの需要が増大している。このため、LCDパネルおよび外部制御ICを含めた表示システムの低消費電力化と周辺機器のデジタル化に対応するためのデジタルインターフェース化の要求が高まっている。

【0004】特に、ビデオ信号のデジタル化への要求が高く、開発が急がれている状況である。ビデオ信号をデジタル化するためには、表示パネルの内部にデジタルビデオ信号をアナログビデオ信号に変換するDAC（Digital Analog Converter）を内蔵する必要がある。

【0005】図20は、従来の一例による液晶表示装置（LCD）の全体構成を示したブロック図である。図21は、図20に示した従来の液晶表示装置の動作を説明するための動作波形図である。

【0006】図20を参照して、従来の液晶表示装置は、画素部150と、水平方向駆動回路151と、垂直方向駆動回路152とを備えている。画素部150の各画素は、スイッチングトランジスタ150aと、容量150bと、液晶150cとを含んでいる。このような各画素がマトリクス状に配置されている。

【0007】また、水平方向駆動回路151は、水平走査回路101と、データ取り込み・ラッチ回路102a、102bおよび102cと、データ転送スイッチ104a、104bおよび104cと、デコーダ・ラッチ回路105a、105bおよび105cと、DAC回路106a、106bおよび106cと、データ線駆動用スイッチ108a、108bおよび108cとを含んでいる。

【0008】また、垂直方向駆動回路152は、データ転送スイッチ駆動回路103と、HSW駆動回路107と、垂直走査回路109とを含んでいる。

【0009】水平走査回路101は、デジタルビデオ信号を取り込むためのビデオデータサンプリングパルス（VSP）を発生させる機能を有する。また、データ取

り込み・ラッチ回路102a～102cは、それぞれ、赤（R）、緑（G）、青（B）のビデオデータをビデオデータサンプリングパルス（VSP）に同期して同時に取り込むとともに、そのデータをラッチ（保持）する機能を有する。また、データ転送スイッチ駆動回路103は、データ転送スイッチ104a～104cを駆動するためのデータ転送スイッチ駆動信号DTを発生するためのものである。また、デコーダ・ラッチ回路105a～105cは、データ取り込み・ラッチ回路102a～102cから出力されるデータをデコード（解読）するとともに保持する機能を有する。

【0010】DAC回路106a～106cは、それぞれ、デコーダ・ラッチ回路105a～105cから出力されるデータをデジタル／アナログ変換してアナログビデオ信号を出力する機能を有する。HSW駆動回路107は、データ線駆動用スイッチ108a～108cを駆動するための水平スイッチ駆動回路信号HSWを発生する機能を有する。データ線駆動用スイッチ108a～108cは、それぞれ、DAC回路106a～106cから出力されるデータを、データ線に転送する機能を有する。

【0011】次に、図20および図21を参照して、従来の液晶表示装置（LCD）のデータ線駆動方法について説明する。まず、ビデオデータの取り込みと表示開始を許可する信号HSTRTがHレベル（活性状態）になることによって、プリチャージ状態（不活性）を示す信号PCGがLレベルになる。その後、水平方向走査開始を意味する信号STHが、Hパルスになり、水平方向の走査が開始される。

【0012】このSTH信号と水平方向の基本クロックであるCKH1およびCKH2を用いて、水平走査回路101によって、ビデオデータサンプリングパルス（VSP）を発生させる。このVSP信号に同期して、赤（R）、緑（G）および青（B）のビデオデータを、それぞれ、データ取り込み・ラッチ回路102a～102cを用いて同時に取り込んだ後ラッチする。この動作が水平方向に順次行われ、1水平期間（活性期間）にすべての3色のビデオデータがデータ取り込み・ラッチ回路102a～102cに保持される。

【0013】最初の1水平期間の間に水平方向すべてのビデオデータが取り込まれた後、不活性期間（Tpre）に、データ転送スイッチ駆動回路103による転送信号DTに同期して、データ転送スイッチ104a～104cがオンすることによって、ラッチされたビデオデータが、デコーダ・ラッチ回路105a～105cに同時に転送される。デコーダ・ラッチ回路105a～105cに転送されたデータは、デコーダ・ラッチ回路105a～105cおよびDAC回路106a～106cにおいて、デコードされるとともにデジタル／アナログ変換される。

【0014】その後、活性期間（１水平期間）になると、STH信号が再びＨパルスになることによって、ビデオデータサンプリングパルス（VSP）が発生してビデオデータの取り込みが始まると同時に、HSW駆動回路１０７により水平スイッチ駆動回路信号HSWがＨレベルになる。これにより、データ線駆動用スイッチ１０８a～１０８cが同時にオンする。その結果、DAC回路１０６a～１０６cから出力されるアナログビデオデータがすべてのデータ線に転送されて書き込まれる。

【0015】このように、前活性期間に同時に取り込まれたRGB全ビデオデータが、次の活性期間にデータ線に同時に書き込まれることによって、画素部１５０のスイッチングトランジスタ１５０a、容量１５０bおよび液晶１５０cを用いて、映像データの表示が行われる。なお、図２１に示すWrite期間が、RGBデータの書き込みに使用される時間である。

【0016】図２２は、従来の他の例による液晶表示装置（LCD）の全体構成を示したブロック図である。図２２を参照して、この他の例では、水平スイッチ駆動回路信号HSWがデコーダ・ラッチ回路１０５aによって駆動される。このように構成した場合には、図２０に示した従来の一例による回路構成において、HSW駆動回路１０７を省略することができる。

【0017】

【発明が解決しようとする課題】図２０および図２２に示した従来の液晶表示装置（LCD）では、RGBデータ線のそれぞれに対応して、データ取り込み・ラッチ回路１０２a～１０２c、データ転送スイッチ１０４a～１０４c、デコーダ・ラッチ回路１０５a～１０５c、DAC回路１０６a～１０６c、および、データ線駆動用スイッチ１０８a～１０８cが存在するので、回路を構成する素子の数が増加するという不都合があった。

【0018】このように回路を構成する素子の数が増加すると、レイアウト面積が大きくなるので、画素部（表示部）１５０以外の額縁面積が広がる。このように額縁部分が広がることは、小型表示装置にとっては致命的な欠点となる。また、回路を構成する素子数が多くなることから、同時に多くの素子を動作させることになる。このため、消費電流が大きくなる。その結果、電池駆動が主流の携帯電話などの小型携帯表示装置には不適である。

【0019】さらに、回路素子数が多くなると、表示パネルの面積が大きくなるので、特性バラツキの増加を助長したり、歩留まりの低下を引き起こす。その結果、製造コストが上昇するため、装置コストが上昇するという問題点もあった。

【0020】この発明は、上記のような課題を解決するためになされたものであり、この発明の１つの目的は、デジタル／アナログ変換部を含む駆動回路において、回路素子数を低減することである。

【0021】この発明のもう１つの目的は、上記の駆動回路において、低消費電流化と装置コストの低減を図るとともに、レイアウト面積を小さくすることである。

【0022】この発明のさらにもう１つの目的は、低消費電流化と装置コストの低減を図ることができ、かつ、狭い額縁を有する表示装置を提供することである。

【0023】

【課題を解決するための手段】上記目的を達成するために、請求項１における駆動回路は、デジタルデータを取り込むデータ取り込み部と、取り込んだデジタルデータをデジタル／アナログ変換してアナログデータを出力するデジタル／アナログ変換部と、デジタル／アナログ変換部から出力されるアナログデータをデータ線に書き込むためのデータ書き込み部とを備えている。そして、データ取り込み部およびデジタル／アナログ変換部のうちの少なくとも一部は、複数のデジタルデータに対して共用化されている。

【0024】請求項１では、上記のように、データ取り込み部およびデジタル／アナログ変換部のうちの少なくとも一部を、複数のデジタルデータに対して共用化することによって、共用化した部分の素子数を低減することができる。これにより、低消費電流化を図ることができる。また、装置コストを低減することができる。また、請求項１の駆動回路を、たとえば、表示装置に適用して、画素部以外の周辺部（額縁部分）に位置するデータ取り込み部およびデジタル／アナログ変換部のうちの少なくとも一部を共用化すれば、その額縁部分の素子数を低減することができる。その結果、狭い額縁の表示装置を得ることができる。

【0025】請求項２における駆動回路は、請求項１の構成において、データ取り込み部は、デジタルデータを取り込むためのパルスを発生させる取り込みパルス発生回路と、取り込みパルス発生回路により発生されたパルスに同期して、デジタルデータを取り込むためのデータ取り込み回路とを含み、デジタル／アナログ変換部は、取り込んだデジタルデータを解読するためのデコーダ回路と、デコーダ回路によって解読されたデータに相当するアナログデータを出力するデジタル／アナログ変換回路とを含み、デコーダ回路およびデジタル／アナログ変換回路は、複数種類のデジタルデータに対して共用化されている。請求項２では、このように構成することによって、デコーダ回路およびデジタル／アナログ変換回路を構成する素子の数を低減することができる。

【0026】請求項３における駆動回路は、請求項２の構成において、さらに、データ取り込み回路も複数種類のデジタルデータに対して共用化されている。請求項３では、このように構成することによって、さらに素子数を低減することができる。

【0027】請求項４における駆動回路は、請求項２または３の構成において、データ取り込み部は、さらに、

データ取り込み回路により取り込んだデジタルデータを保持するための第1ラッチ回路と、第1ラッチ回路により保持されたデジタルデータを転送するためのスイッチ回路と、スイッチ回路から転送されたデジタルデータを保持するための第2ラッチ回路と、第2ラッチ回路により保持されたデジタルデータを、順次デコード回路に転送するための第1スイッチ選択回路とを含み、データ書き込み部は、デジタル/アナログ変換回路から出力されるアナログデータを、順次データ線に転送するための第2スイッチ選択回路を含み、第1スイッチ選択回路および第2スイッチ選択回路においてデータを順次転送する際に、各データの転送タイミングをずらして転送する。請求項4では、このように構成することによって、デコード回路およびデジタル/アナログ変換回路を共用化した場合にも、複数種類のデジタルデータに対して容易にデータの転送を行うことができる。また、各データの転送期間に重なりを持たせるようにすれば、タイミング余裕が大きくなるので、設計の自由度を大きくすることができる。

【0028】請求項5における駆動回路は、請求項4の構成において、第1スイッチ選択回路および第2スイッチ選択回路においてデータを順次転送する際に、各データを時分割で転送する。請求項5では、このように時分割で転送することによって、複数種類のデジタルデータに対して容易にデータの転送を行うことができる。

【0029】請求項6における駆動回路は、請求項2～5のいずれかの構成において、取り込みパルス発生回路は、所定の振幅のクロック信号を所定の振幅とは異なる振幅にレベル変換するための第1レベル変換回路を含む。請求項6では、このように構成することによって、第1レベル変換回路により低電圧クロック信号を高電圧クロックにレベル変換することができる。

【0030】請求項7における駆動回路は、請求項2～6のいずれかの構成において、データ取り込み回路は、所定の振幅のデジタルデータ信号を所定の振幅とは異なる振幅にレベル変換するための第2レベル変換回路を含む。請求項7では、このように構成することによって、低電圧で駆動されるデジタルデータを第2レベル変換回路により容易に高電圧で駆動されるデジタルデータに変換することができる。これにより、駆動電圧として高電圧が必要なポリシリコン薄膜トランジスタなどを容易に用いることができる。

【0031】請求項8における駆動回路は、請求項2～7のいずれかの構成において、デジタル/アナログ変換部は、アナログバッファ回路を含む。請求項8では、このように構成することによって、アナログバッファ回路がドライバとなるので、デジタル/アナログ変換部に大きなドライバを設ける必要がない。

【0032】請求項9における駆動回路は、デジタルビデオデータを取り込むためのパルスを発生させる取り込

みパルス発生回路と、取り込みパルス発生回路から出力されるパルスに同期して、デジタルビデオデータを取り込むデータ取り込み回路と、取り込んだデジタルビデオデータを保持するための第1ラッチ回路と、第1ラッチ回路により保持されたデジタルビデオデータを転送するためのスイッチ回路と、スイッチ回路から転送されたデジタルビデオデータを保持するための第2ラッチ回路と、第2ラッチ回路により保持されたデジタルビデオデータを順次転送するための第1スイッチ選択回路と、第2スイッチ選択回路から転送されたデジタルビデオデータが入力されるとともに、入力されたデジタルビデオデータを解読するためのデコード回路と、デコード回路によって解読されたデータに相当するアナログビデオデータを出力するデジタル/アナログ変換回路と、デジタル/アナログ変換回路から出力されるアナログビデオデータを順次転送する第2スイッチ選択回路と、デジタル/アナログ変換回路から出力されるアナログビデオデータをデータ線に書き込むためのデータ書き込み部とを備えている。そして、データ取り込み回路、デコード回路およびデジタル/アナログ変換回路のうちの少なくともいずれか1つが、赤、緑および青色のデジタルデータに対して共用化されている。

【0033】請求項9では、上記のように、データ取り込み回路、デコード回路およびデジタル/アナログ変換回路のうちの少なくともいずれか1つを、R（赤）、G（緑）、B（青）データに対して共用化することによって、共用化した部分の素子数を低減することができる。これにより、低消費電流化を図ることができるとともに、装置コストを低減することができる。また、請求項9の駆動回路を、たとえば、表示装置に適用して、画素部以外の周辺部（額縁部分）の一部を共用化すれば、その額縁部分の素子数を低減することができる。その結果、狭い額縁の表示装置を得ることができる。

【0034】請求項10における表示装置は、請求項1～9のいずれか1項に記載の駆動回路と、データ線に繋がる画素部とを備えている。請求項10では、このように構成することによって、低消費電流化と装置コストの低減を図ることができ、かつ、狭い額縁を有する表示装置を提供することができる。

【0035】

【発明の実施の形態】以下、本発明を具体化した実施形態を図面に基づいて説明する。

【0036】（第1実施形態）図1は、本発明の第1実施形態による駆動回路を含む表示装置の全体構成を示したブロック図である。図2は、図1に示した第1実施形態の表示装置において階調数4ビットの場合の回路構成を示した回路図である。図3は、図2に示した階調数4ビットの場合の回路構成の変形例を示した回路図であり、図4は、図3の変形例の回路に含まれるアナログバッファ回路の構成を示した回路図である。図5は、図1

～図3に示した表示装置の動作を説明するための動作波形図である。図6は、図1～図3に示した表示装置におけるデジタルビデオ信号の取り込みタイミングを説明するための動作波形図である。

【0037】まず、図1を参照して、第1実施形態の表示装置は、画素部50と、水平方向駆動回路51と、垂直方向駆動回路52とを備えている。画素部50を構成する各画素は、スイッチングトランジスタ50aと、容量50bと、液晶50cとを含んでいる。このような各画素が、マトリクス状に配置されている。

【0038】水平方向駆動回路51は、水平走査回路1と、データ取り込み・ラッチ回路2a、2bおよび2cと、データ転送スイッチ4a、4bおよび4cと、データラッチ回路5a、5bおよび5cと、データ転送スイッチ7a、7bおよび7cと、デコード&データラッチ回路8と、DAC回路（デジタル／アナログ変換回路）9と、データ線駆動用スイッチ11a、11bおよび11cとを含んでいる。また、垂直方向駆動回路52は、データ転送スイッチ駆動回路3と、第1RGB選択回路6と、第2RGB選択回路10と、垂直走査回路12とを含んでいる。

【0039】なお、水平走査回路1は、本発明の「取り込みパルス発生回路」の一例であり、データ取り込み・ラッチ回路2a～2cは、本発明の「データ取り込み回路」の一例である。データラッチ回路5a～5cは、本発明の「第2ラッチ回路」の一例である。また、第1RGB選択回路6は、本発明の「第1スイッチ選択回路」の一例であり、第2RGB選択回路10は、本発明の「第2スイッチ選択回路」の一例である。また、デコード&データラッチ回路8は、本発明の「デコード回路」の一例であり、DAC回路9は、本発明の「デジタル／アナログ変換回路」の一例である。

【0040】水平走査回路1は、デジタルビデオデータを取り込むためのビデオデータサンプリングパルス（VSP）を発生させる機能を有する。データ取り込み・ラッチ回路2a、2bおよび2cは、それぞれ、R（赤）、G（緑）およびB（青）のデータを取り込んで保持する機能を有する。また、データ転送スイッチ駆動回路3は、データ転送スイッチ4a、4bおよび4cを駆動するための転送信号DTAを発生させるためのものである。

【0041】データラッチ回路5a、5bおよび5cは、それぞれ、データ取り込み・ラッチ回路2a、2bおよび2cから転送されたデータを保持する機能を有する。また、第1RGB選択回路6は、データ転送スイッチ7a、7bおよび7cを選択して駆動するための信号、SW1-R、SW1-GおよびSW1-Bを生成する機能を有する。デコード&データラッチ回路8は、転送されたデジタルデータを解釈する機能を有する。DAC回路9は、デジタルデータをアナログビデオデータに

変換する機能を有する。第2RGB選択回路10は、データ線駆動用スイッチ11a、11bおよび11cを選択的に駆動するための信号SW2-R、SW2-GおよびSW2-Bを生成する機能を有する。

【0042】次に、図2を参照して、図1に示した第1実施形態を階調数4ビットに適用する場合の回路構成について説明する。シフトレジスタ1Aは、水平走査回路1に対応する。また、データ取り込み・ラッチ回路2Aは、図1に示したデータ取り込み・ラッチ回路2a、2bおよび2cに相当する。デコード&データラッチ回路8は、16個のアナログ基準電位から所定の基準電位を特定する機能を有する。DAC回路9は、デコード&データラッチ回路8によって特定されたアナログ基準電位に相当するアナログビデオデータを出力する機能を有する。図2に示したDAC回路9では、アナログ基準電位を外部から入力する構成にしているが、抵抗やキャパシタなどで所望の電位を発生させる内蔵型を採用しても問題はない。

【0043】図3に示した変形例では、DAC回路9の出力側に、アナログバッファ回路13を配置した例を示している。このように構成すれば、アナログバッファ回路13がドライバとなるので、DAC回路9側に大きなドライバを設ける必要がない。図3に示したアナログバッファ回路13の詳細が図4に示されている。具体的には、アナログバッファ回路13の出力は、VOUTREFに印した電位を出力する。そして、データ書き込み信号SW2-R、SW2-G、SW2-BがHレベルになることによって、画素部50のデータ線を介してアナログビデオデータが画素に書き込まれる。PCG信号は、HSTRT信号が不活性期間に、Hレベルになり（図6参照）、画素部50のデータ線をVPRE電位にプリチャージする機能を持つ。

【0044】次に、図5および図6を参照して、第1実施形態の表示装置のデータ線駆動方法について説明する。まず、ビデオデータの取り込みと表示開始を許可する信号HSTRTがHレベル（活性状態）になることによって、プリチャージ状態（不活性状態）を示す信号PCGがLレベルになる。その後、水平方向走査開始を意味する信号STHがHパルスになり、水平方向の走査が開始する。このSTH信号と水平方向の基本クロックであるCKH1およびCKH2を用いて、水平走査回路1によって、ビデオデータサンプリングパルス（VSP）を発生させる。

【0045】このビデオデータサンプリングパルス（VSP）に同期して、データ取り込み・ラッチ回路2a、2bおよび2cによって、赤（R）、緑（G）および青（B）のビデオデータを同時に取り込むとともに、その取り込んだデータを保持する。この動作が水平方向に順次行われ、1水平期間にすべての3色ビデオデータがデータ取り込み・ラッチ回路2a～2cによって保持され

る。

【0046】最初の1水平期間(活性期間)の間に水平方向すべてのビデオデータが取り込まれた後、不活性期間に、データ取り込み・ラッチ回路2a~2cにラッチされたビデオデータが、データ転送スイッチ駆動回路3による転送信号DTAに同期して、データ転送スイッチ4a~4cがオンすることによって、データラッチ回路5a、5bおよび5cに転送される。

【0047】その後、活性期間(1水平期間)になると、STH信号がHパルスになることによって、再びビデオデータサンプリングパルス(VSP)が発生する。これにより、ビデオデータの取り込みが始まるとともに、第1RGB選択回路6による転送信号SW1-R、SW1-GおよびSW1-Bが順次活性状態となることによって、データ転送スイッチ7a、7bおよび7cが順次オン状態となる。これにより、デコーダ&データラッチ回路8にRGBの各データが順次転送される。デコーダ&ラッチ回路8に転送されたデータは、デコーダによってそのデータに対応するアナログ基準電位が特定されるとともに、DAC回路9によってその特定されたアナログ基準電位に相当するアナログデータ信号が出力される。

【0048】そして、第2RGB選択回路10によるデータ書き込み信号SW2-R、SW2-GおよびSW2-Bが順次活性状態になることによって、データ線駆動用スイッチ11a、11bおよび11cが順次オンする。これにより、RGBの各データがデータ線に順次書き込まれる。

【0049】図5から分かるように、データ転送信号SW1と、データ線への書き込みを行う信号SW2とのタイミングは、活性期間内において、それぞれ、 $t_r$ (赤色データの転送とデータ線への書き込み)、 $t_g$ (緑色データの転送とデータ線への書き込み)、 $t_b$ (青色データの転送とデータ線への書き込み)の時刻から始まっている。 $t_p$ は、データ転送時間を示しており、データ線への書き込み時間は、 $t_p$ よりも小さくなっている。図5に示すデータ線への書き込み信号SW2の書き込み時間は、ハッチングした領域の間で変更可能である。すなわち、データ線への書き込み時間は、 $t_p$ よりも小さいとともに、データ線への書き込み信号SW2は、データ転送信号SW1と同時にそれより遅く立ち上がって、同時かそれより早く立ち下がるのが好ましい。

【0050】なお、上記した場合に限らず、書き込み信号SW2-GおよびSW2-Bの立ち上がりタイミングを、それぞれ、 $t_g$ および $t_b$ よりも早いタイミングで立ち上がるようにしてもよい。このようにすれば、タイミングの余裕が大きくなるので、設計の自由度が大きくなるという利点がある。

【0051】第1実施形態では、上記のように、デコーダ&データラッチ回路8およびDAC回路9を、RGB

データに対して共用化することによって、デコーダ&データラッチ回路8およびDAC回路9を構成する素子の数を低減することができる。これにより、低消費電流化を図ることができるとともに、装置コストを低減することができる。また、画素部以外の額縁部分の素子数を低減することができるので、狭い額縁の表示装置を提供することができる。

【0052】図7は、図1に示したビデオデータサンプリングパルス(VSP)を形成するための水平走査回路1の内部構成を示した回路図である。図7を参照して、水平走査回路1のうち、1つのビデオデータサンプリングパルス(VSP)を発生させる回路1aは、2つのシフトレジスタ21と、1つのNAND回路22と、1つのインバータ回路23とを含んでいる。シフトレジスタ21では、水平方向走査開始信号STHがHパルスになることによって、水平基本クロックCKH1およびCKH2に同期して、シフトレジスタ21の出力QがHパルスになる。これにより、VSPが順次発生する。

【0053】図8は、図7に示した第1実施形態の水平走査回路の内部構成の変形例を示した回路図である。図8を参照して、この変形例では、シフトレジスタ21の直前に、低電圧の水平基本クロックCKH1およびCKH2を高電圧信号にレベル変換するレベルシフタ24を設けている。なお、図8では、1対のシフトレジスタ21に1個のレベルシフタ24を配置したが、レベルシフタ24は、複数対のシフトレジスタ21に対して1個配置するようにしてもよい。

【0054】図9は、図1に示した第1実施形態における赤色データ用のデータ取り込み・ラッチ回路2aの階調数4ビットの場合の内部構成を示した回路図である。図9を参照して、この例では、外部から入力される4つの赤色のデジタルビデオ信号(DVS)は、ポリシリコンTFTを動作させるのに必要な高い電源電圧で動作させている。データの保持は、2つのインバータ回路32および33で構成されるラッチ回路によって行っている。データの取り込みは、ビデオデータサンプリングパルス(VSP)に同期してスイッチングを行うトランスファゲート31によって行われる。そのトランスファゲート31のNチャネルトランジスタ側のゲートには、VSPが入力され、Pチャネルトランジスタのゲート側には、VSPをインバータ回路35によって反転した信号が入力される。

【0055】図10は、図9に示した第1実施形態における赤色データ用のデータ取り込み・ラッチ回路の第1変形例を示した回路図である。図10を参照して、この第1変形例では、デジタルビデオ信号(DVS)が低電圧で駆動される場合の例である。この場合に、低電圧で駆動されるデジタルビデオ信号(DVS)と、VSP信号で駆動されるトランスファゲート31との間に、低電圧で駆動されるデジタルビデオ信号を高電圧のデジタル



ビデオ信号にレベル変換するためのレベルシフタ34を配置している。なお、図10に示した第1変形例による回路構成では、4ビットの赤色データに対して、4つのレベルシフタ34を設けているので、RGBの3色では、12個のレベルシフタ34が存在する。

【0056】図11は、図9に示した第1実施形態における赤色データ用のデータ取り込み・ラッチ回路の第2変形例を示した回路図である。図11を参照して、この第2変形例では、低電圧振幅信号であるデジタルビデオ信号(DVS)は、VSP信号がHレベルになることによって、Nチャネルトランジスタ36がオンして、レベルシフト機能とデータラッチ機能とを有するレベルシフタ&ラッチ回路37に取り込まれる。この第2変形例では、デジタルビデオ信号線と、レベルシフタ&ラッチ回路37とが、Nチャネルトランジスタ36によって分離される回路構成であり、この点では、図9に示した第1実施形態の回路構成と似た回路構成である。この第2変形例の回路構成では、ビデオデータを取り込む回路のみがデジタルビデオ信号線に繋がっているため、デジタルビデオ信号線の負荷の観点からみれば、図13に示した第1変形例の回路構成より負荷は小さいと考えられる。

【0057】図12は、図1に示した第1実施形態の表示装置におけるデータ転送スイッチ4a~4c、データラッチ回路5a~5c、第1RGB選択回路6およびデータ転送スイッチ7a~7cの階調数4ビットの場合の回路構成を示した回路図である。図12を参照して、データ転送スイッチ4a~4cは、NチャネルトランジスタとPチャネルトランジスタとからなるトランスファゲートによって構成されている。また、データラッチ回路5a~5cは、2つのインバータ回路41および42によって構成されている。また、転送スイッチ7a~7cは、NチャネルトランジスタとPチャネルトランジスタとからなるトランスファゲートによって構成されている。データラッチ回路5a~5cによってラッチされたデジタルビデオデータはSW1-R、SW1-G、SW1-B信号が、時刻tr、tg、tbにそれぞれHレベルになることによって、トランスファゲートからなるデータ転送スイッチ7a~7cを介して、デコーダ&データラッチ回路8へ転送される。

【0058】(第2実施形態)図13は、本発明の第2実施形態による表示装置の全体構成を示したブロック図である。図13を参照して、この第2実施形態では、図1に示した第1実施形態と異なり、データ取り込み・ラッチ回路60に含まれるビデオデータ取り込み回路61をRGBデータで共用化するように構成している。

【0059】具体的には、データ取り込み・ラッチ回路60は、RGBデータで共用化された1つのビデオデータ取り込み回路61と、RGBデータに対応してそれぞれ設けられたデータラッチ回路62a、62bおよび62cとを含んでいる。また、ビデオデータ取り込み回路

61をRGBデータで共用化させるために、ビデオデータサンプリングパルス(VSP)もRGBデータのそれぞれについて別個に発生させる必要がある。このため、水平走査回路71もそれに対応した構成となっている。これら以外の構成は、図1に示した第1実施形態と同様である。なお、水平走査回路71は、本発明の「取り込みパルス発生回路」の一例である。

【0060】図14は、図13に示した第2実施形態の表示装置の階調数4ビットの場合の詳細な回路構成を示した回路図である。図14を参照して、シフトレジスタ71Aは、図13に示す水平走査回路71に対応する。

【0061】図15は、図13に示した第2実施形態の表示装置における水平走査回路71の内部構成を示した回路図である。図15を参照して、この水平走査回路71の1つのRGB信号に対応するビデオデータサンプリングパルス(VSP)を発生する回路71aは、2つのシフトレジスタ72と、3つのNAND回路73と、3つのインバータ回路74とを含んでいる。この第2実施形態の水平走査回路71では、RGBの各データに対して別個にビデオデータサンプリングパルスVSP1-R、VSP1-GおよびVSP1-Bを発生させる。具体的には、水平基本クロックCKH1およびCKH2に同期してシフトレジスタ72の出力QにHパルスが出力される。その出力QのHパルスと、各色のデータラッチ信号DL(Data Latch)のHパルスとが揃ったときに、各色のVSP信号が出力される。

【0062】図16は、図13および図15に示した第2実施形態のデジタルビデオ信号の取り込みタイミングを示した動作波形図である。図16を参照して、この第2実施形態では、データラッチ信号DLの発生に同期して、各色ごとに別々にデータの取り込みが行われる。このため、図6に示した第1実施形態のデータ取り込み時間の1/3のデータ取り込み時間になっていることが分かる。

【0063】このように、第2実施形態では、ビデオデータ取り込み回路61を共用化するため、ビデオデータ取り込みに許される時間が、第1実施形態の1/3になる。つまり、ビデオデータの取り込み速度が第1実施形態の3倍になり、バルクシリコンを用いたトランジスタに比べて性能の劣るポリシリコンTFTを用いる場合には不向きな回路構成である。ただし、共用回路が増すため、占有面積の削減には有効な回路構成である。

【0064】なお、図15に示した第2実施形態の水平走査回路71では、ビデオデータ取り込み回路を共用して素子数を減らしている一方、各色ごとのVSP信号を発生するために素子数が増加している。したがって、ビデオデータ取り込み回路を共用することによる素子数削減数と、VSP信号発生回路形成による素子数増加数とを比較して、ビデオデータ取り込み回路を共用することによる素子数削減数がVSP信号発生回路形成による素



子数増加数を上回る場合に、この第2実施形態は有効である。

【0065】図17は、図13に示した第2実施形態のデータ取り込み・ラッチ部60の回路構成を示した回路図である。図17を参照して、この例では、ビデオ信号が階調数4ビットの場合を示している。低電圧のデジタルビデオ信号線には、低電圧のビデオ信号を高電圧に変換するための4つのレベルシフト63が接続されている。図17では、赤色の場合を示しているので、RGBの3色では、12個のレベルシフト63が設けられる。4つのレベルシフト63でレベル変換されたデジタルビデオ信号は、活性時刻の異なるVSP-R、VSP-G、VSP-B信号がHレベルになることによって、トランスファゲート61a～61cが順次オン状態になってデータラッチ回路62a～62cに順次転送される。

【0066】(第3実施形態)図18は、本発明の第3実施形態による表示装置の全体構成を示したブロック図である。図18を参照して、この第3実施形態では、上記した第1および第2実施形態と異なり、データ線が6本の場合にデコード&データラッチ回路8およびDAC回路9をRGBデータで共用化した場合を示している。この場合には、第1水平走査回路81aと第2水平走査回路81bとが設けられる。なお、第1水平走査回路81aおよび第2水平走査回路81bは、本発明の「取り込みパルス発生回路」の一例である。

【0067】また、データ取り込み・ラッチ回路82a、82bおよび82c内には、それぞれ、1つのデータ取り込み回路と、2つのラッチ回路とが設けられている。また、データ取り込み・ラッチ回路82a、82bおよび82cから転送されるデータを保持するためのラッチ回路83a、83bおよび83cが、それぞれ2つずつ設けられている。また、転送信号DT1およびDT2に同期してオン状態となるスイッチ84a、84bおよび84cも、それぞれ2つずつ設けられている。なお、データ取り込み・ラッチ回路82a～82cは、本発明の「データ取り込み回路」の一例である。

【0068】次に、図18および図19を参照して、第3実施形態の表示装置のデータ線駆動方法について説明する。基本的な動作は、上記した第1および第2実施形態と同様である。この第3実施形態では、転送信号DT1およびDT2が1水平期間内に順次活性状態となることによって、第1番目のRGBデータと、第2番目のRGBデータとが順次データラッチ回路5a～5cに転送された後、さらに、デコード&データラッチ回路8およびDAC回路9に転送されるとともに、データ書き込み信号SW2(SW2-R2、SW2-G2、SW2-B2、SW2-R1、SW2-G1、SW2-B1)によってデータ線への書き込みが行われる。

【0069】なお、今回開示された実施形態は、すべての点で例示であって制限的なものではないと考えられる

べきである。本発明の範囲は、上記した実施形態の説明ではなく特許請求の範囲によって示され、さらに特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれる。

【0070】たとえば、上記実施形態では、液晶表示装置(LCD)からなる表示装置を例にとって説明したが、本発明はこれに限らず、EL表示装置などの他の表示装置にも同様に適用可能である。また、携帯電話などの小型の表示装置にも適用可能である。

【0071】

【発明の効果】以上のように、本発明によれば、データ取り込み部およびデジタル/アナログ変換部のうちの少なくとも一部を複数種類のデジタルデータに対して共用化することによって、共用化した部分の素子数を低減することができる。これにより、低消費電力化と装置コストの低減とレイアウト面積の低減を行うことができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態による表示装置の全体構成を示したブロック図である。

【図2】図1に示した第1実施形態の表示装置において階調数4ビットの場合の回路構成を示した回路図である。

【図3】図2に示した第1実施形態の階調数4ビットの場合の回路構成の変形例を示した回路図である。

【図4】図3に示した第1実施形態の変形例による表示装置に含まれるアナログバッファ回路の構成を示した回路図である。

【図5】図1、図2および図3に示した表示装置の動作を説明するための動作波形図である。

【図6】図1、図2および図3に示した表示装置のデータ取り込みタイミングを説明するための動作波形図である。

【図7】図1に示した第1実施形態の表示装置における水平走査回路の内部構成を示した回路図である。

【図8】図7に示した第1実施形態の水平走査回路の変形例を示した回路図である。

【図9】図1に示した第1実施形態の表示装置における赤色データ用のデータ取り込み・ラッチ回路の階調数4ビットの場合の内部構成を示した回路図である。

【図10】図9に示した第1実施形態の赤色データ用のデータ取り込み・ラッチ回路の第1変形例を示した回路図である。

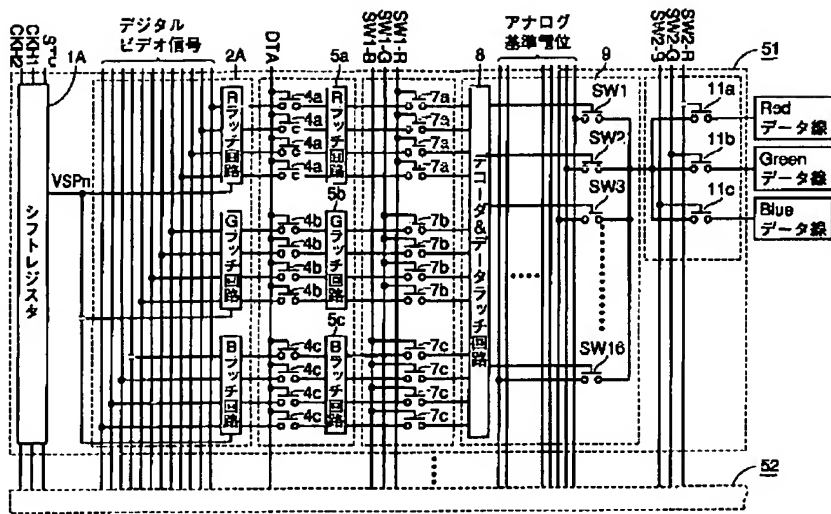
【図11】図9に示した第1実施形態の赤色データ用のデータ取り込み・ラッチ回路の第2変形例を示した回路図である。

【図12】図1に示した第1実施形態の表示装置における転送スイッチおよびデータラッチ回路の部分の内部構成を示した回路図である。

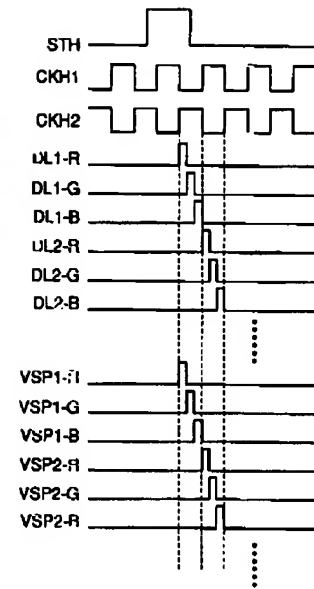
【図13】本発明の第2実施形態による表示装置の全体構成を示したブロック図である。



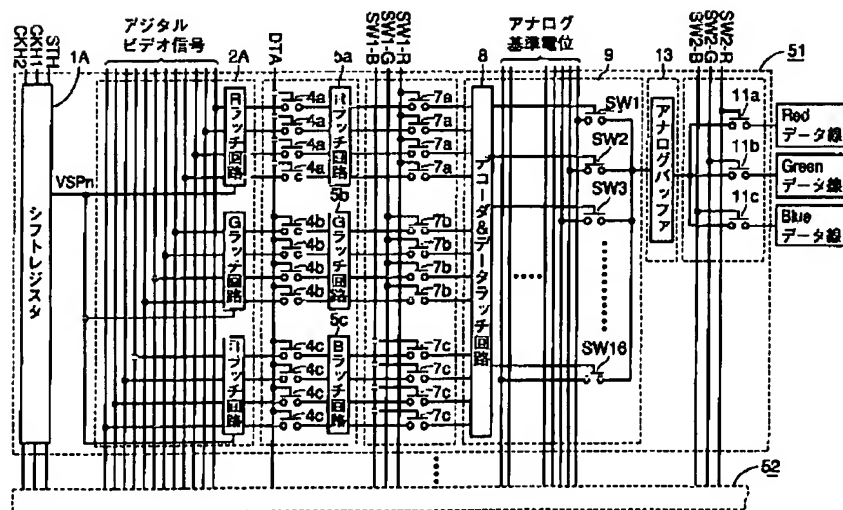
【図2】



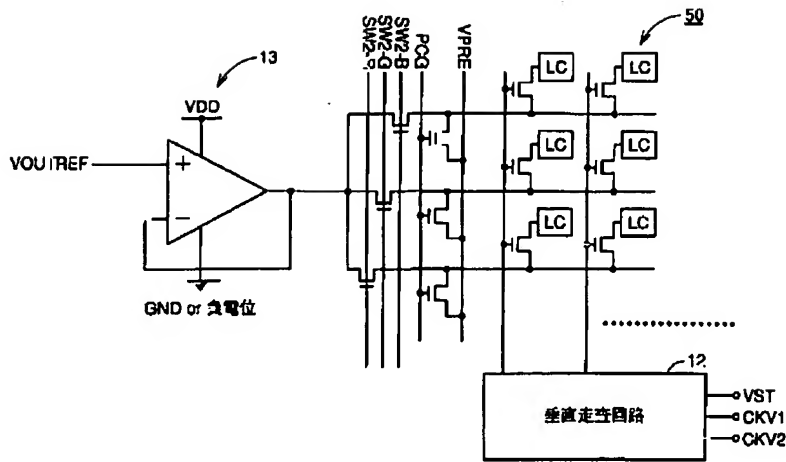
【図16】



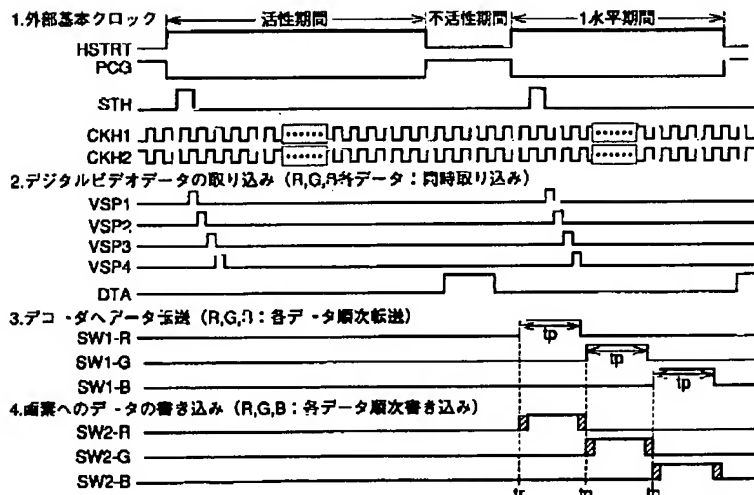
【図3】



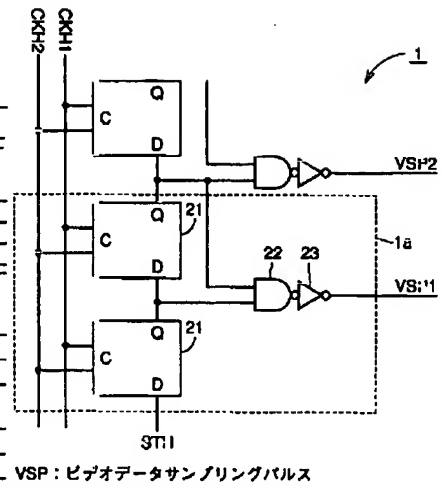
【図4】



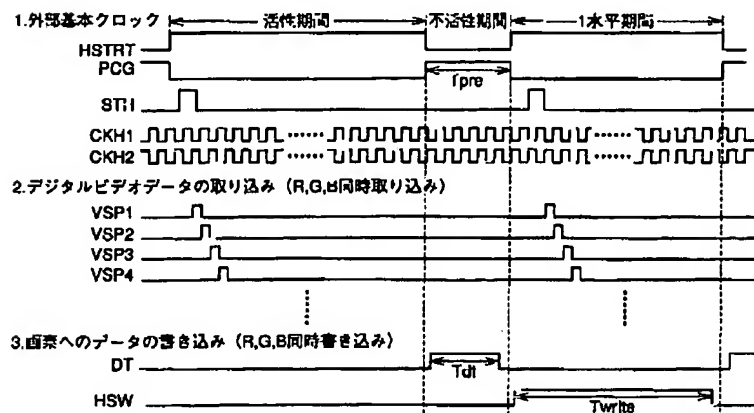
【図5】



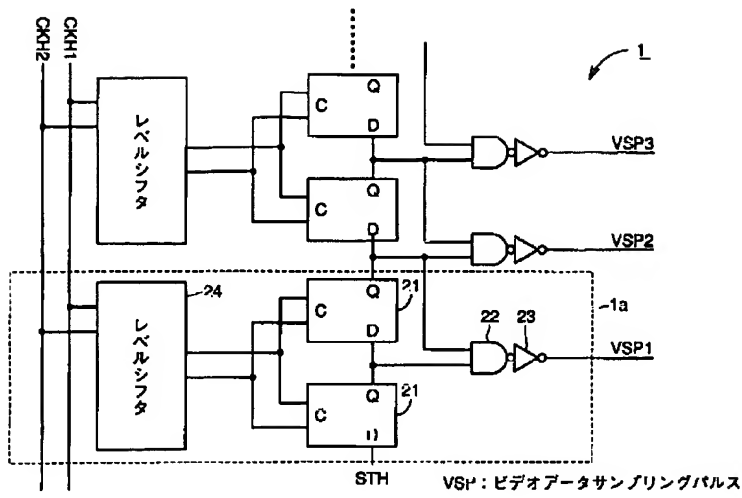
【図7】



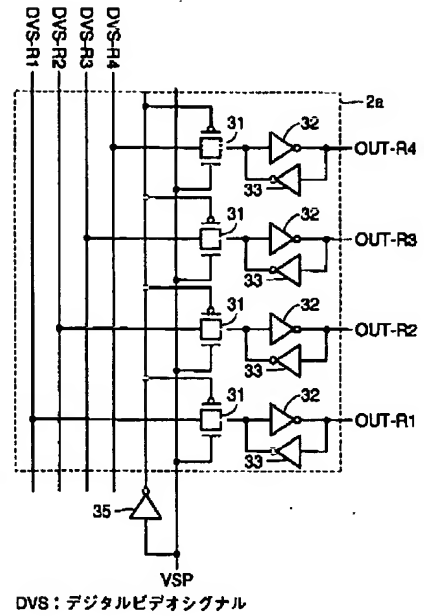
【図21】



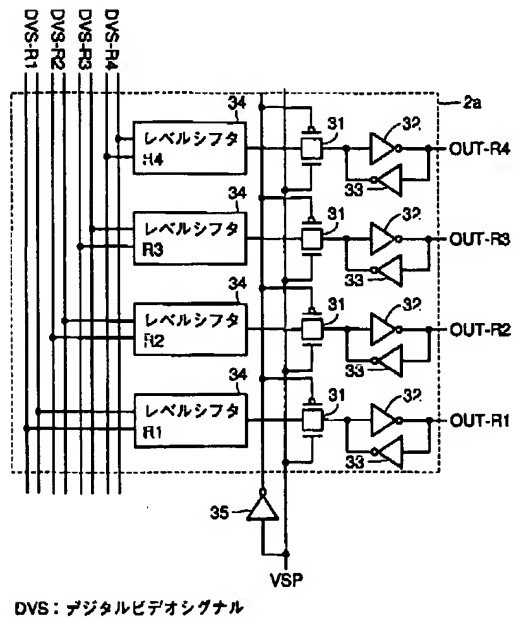
【図8】



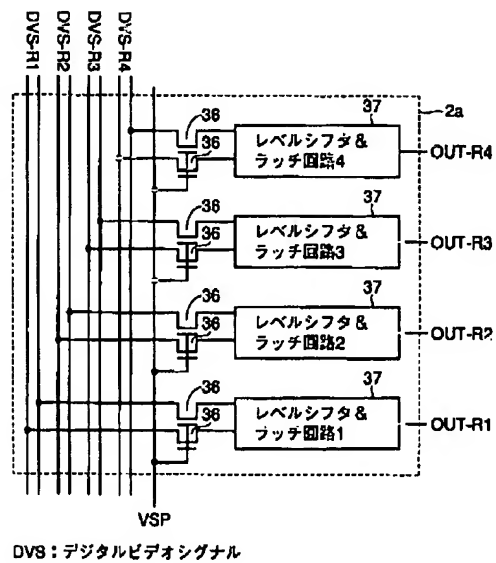
【図9】



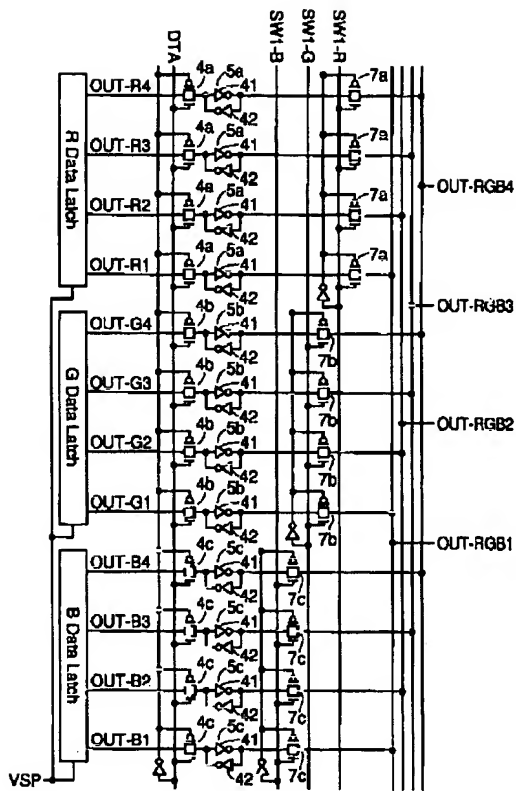
【図10】



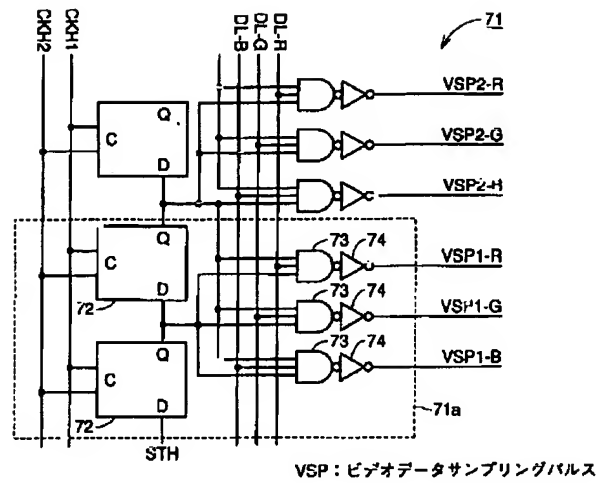
【図11】



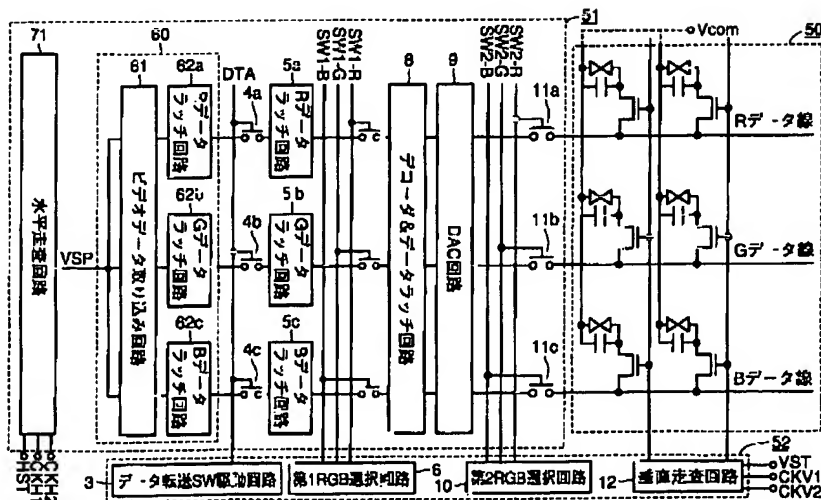
【図12】



【図15】

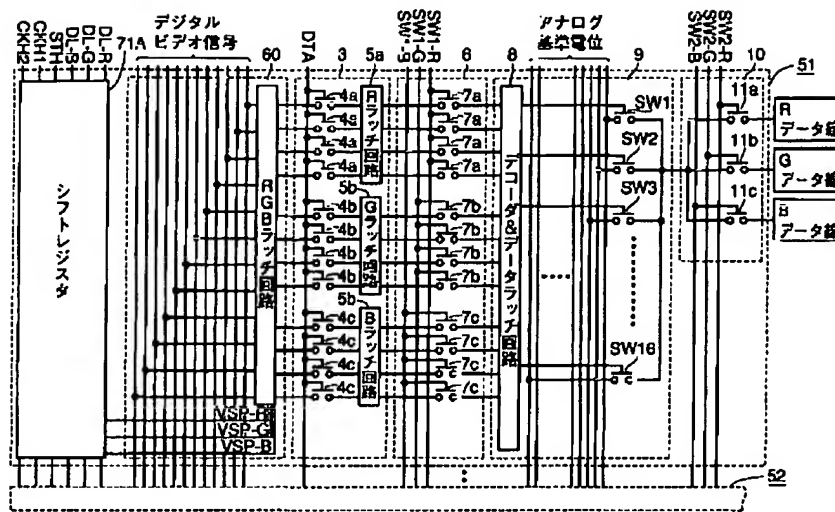


【図13】

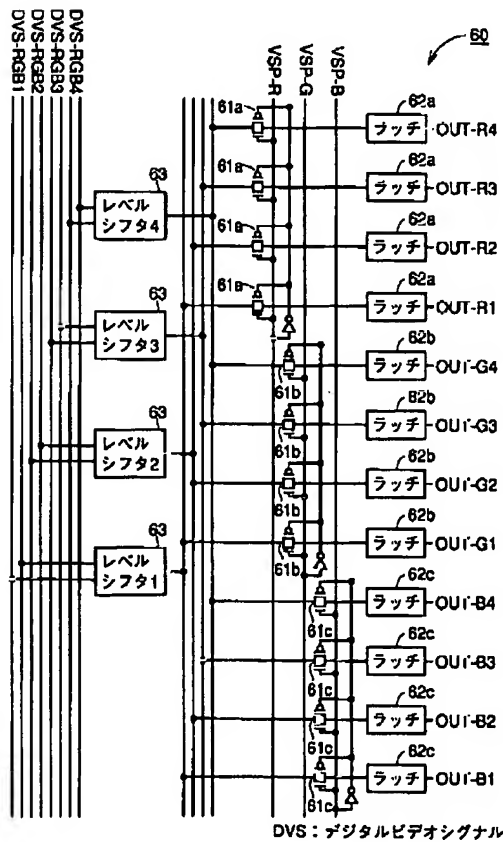




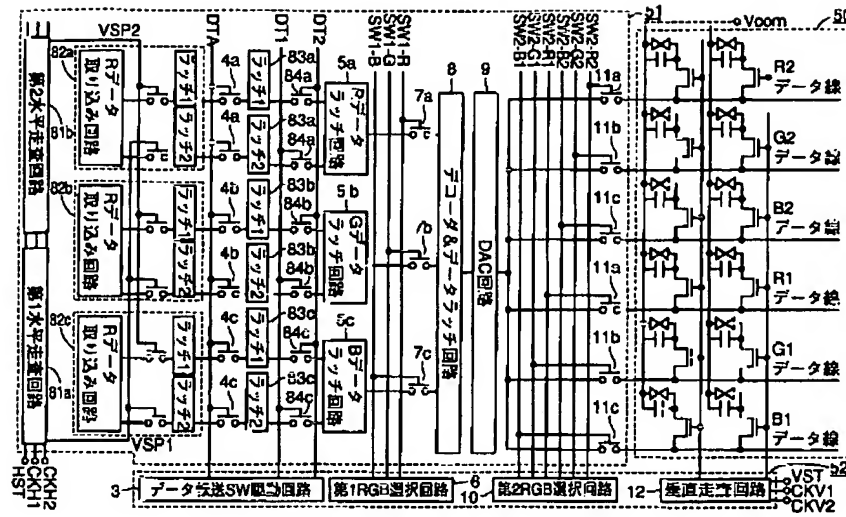
【図14】



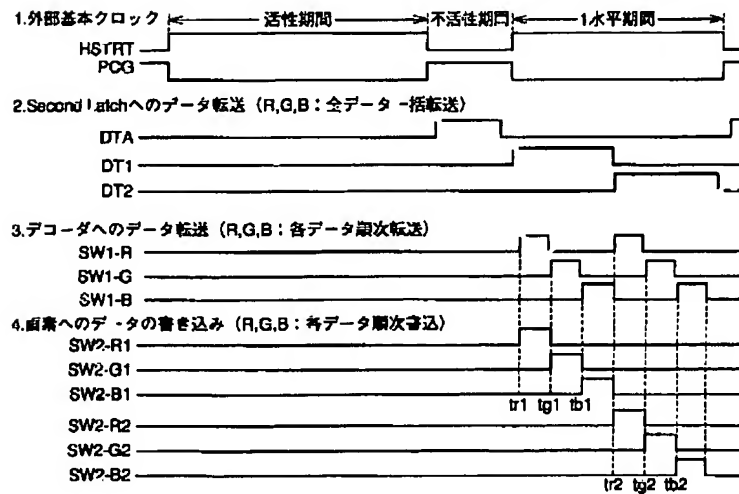
【図17】

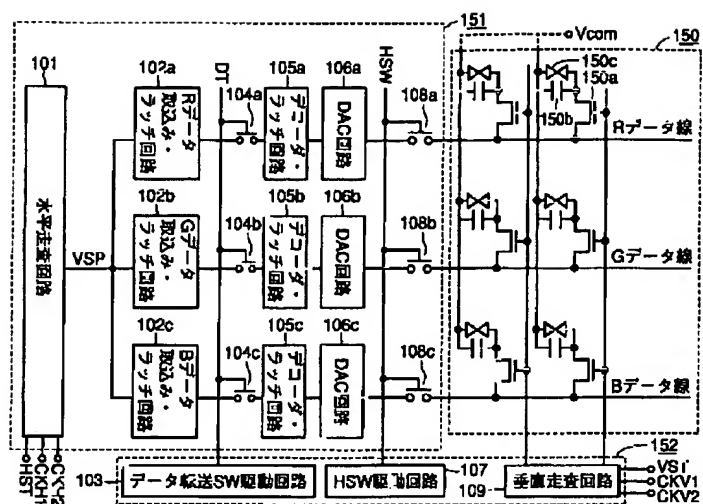


【図18】

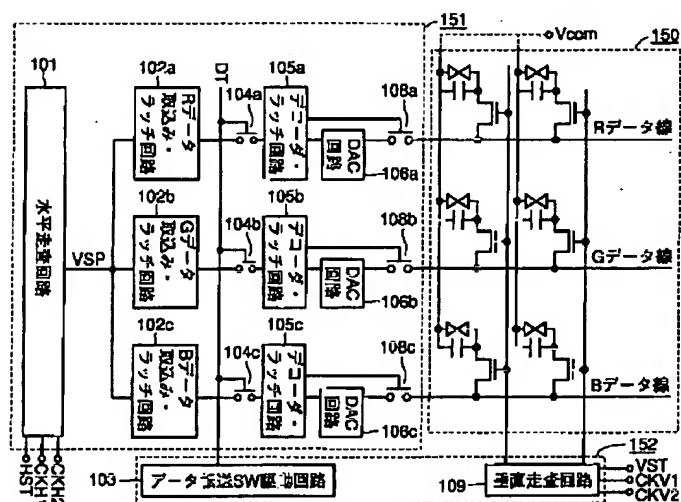


【図19】





【图22】



(参考)

C

Fターム(参考) 2H093 NA41 NC26 NC34 ND38 ND42  
5C006 AA22 AF82 BB16 BC06 BF04  
FA43 FA47 FA51  
5C080 AA10 BB05 DD22 DD26 DD27  
DD30 JJ02 JJ03 JJ04  
5J055 AX12 AX44 AX47 BX09 BX16  
CX30 DX12 DX48 EY21 EZ12  
EZ13 EZ20 EZ24 EZ25 EZ31  
EZ38 GX01 GX02 GX04